

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

JPA 9-092803
 which corresponds to
 US 6,103,598

(11) Publication number: **09092803 A**(43) Date of publication of application: **04.04.97**

(51) Int. Cl.

H01L 27/12**H01L 21/02****H01L 21/20****H01L 21/3063**(21) Application number: **08179000**(22) Date of filing: **09.07.96**(30) Priority: **13.07.95 JP 07177189**(71) Applicant: **CANON INC**

(72) Inventor: **YAMAGATA KENJI**
SATO NOBUHIKO
SAKAGUCHI KIYOBUMI
YONEHARA TAKAO

(54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

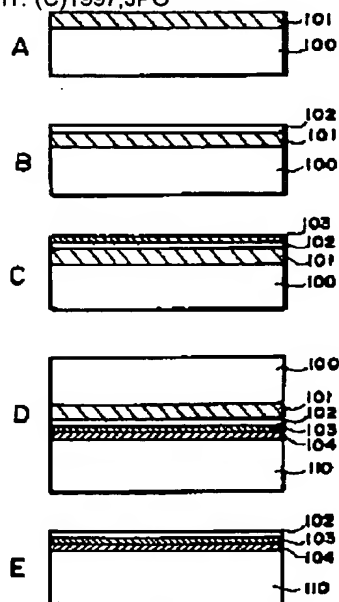
suppressed.

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the number of voids and the number of defects at a lamination interface in a non-porous crystals silicon layer by removing a porous silicon layer by using etching solution having an etching speed lower than a specified value for both a non-porous monocrystal silicon layer and a silicon oxide layer.

SOLUTION: A porous silicon layer 101 is formed by anodic formation of a monocrystal silicon substrate 100. On this porous silicon layer 101, a non-porous monocrystal silicon layer 102 is subjected to epitaxial growth. The surface of this epitaxial layer 102 is oxidized and a silicon oxide layer 103 is formed. Next, a substrate 110 as a bearing substrate having a silicon oxide layer 104 on the surface is adhered, and a substrate 100 and a porous silicon layer 101 are removed by using an etching solution having an etching speed of less than 10 angstrom per minute for both non-porous monocrystal silicon layer 102 and silicon oxide layer 103. Therefore, the occurrence of voids can be



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-92803

(43) 公開日 平成9年(1997) 4月4日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/12			H01L 27/12	B
21/02			21/02	B
21/20			21/20	
21/3063			21/306	L

審査請求 未請求 請求項の数20 O L (全11頁)

(21) 出願番号	特願平8-179000	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成8年(1996) 7月9日	(72) 発明者	山方 憲二 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(31) 優先権主張番号	特願平7-177189	(72) 発明者	佐藤 信彦 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(32) 優先日	平7(1995) 7月13日	(72) 発明者	坂口 清文 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 山下 穰平

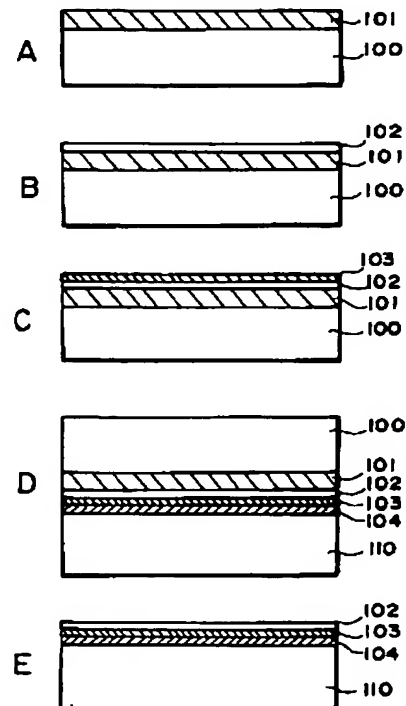
最終頁に続く

(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【課題】 ボイドの発生を低く抑制する。

【解決手段】 Si (シリコン) 基板100を多孔質化して得られる多孔質Si層101上に非多孔質単結晶Si層102をエピタキシャル成長させた第1の基板を用意する工程、前記第1の基板と、第2の基板110とを少なくともいずれか一方の基板の貼り合わせ面に酸化Si層を有する状態で且つ、非多孔質単結晶Si層102が貼り合わされた基板の内側に位置するように貼り合わせる工程、及び多孔質Si層101をエッチング除去する工程を有する半導体基板の製造方法において、非多孔質単結晶Si層102及び前記酸化Si層に対するエッチング速度が共に10オングストローム/分以下となるエッチング液を用いて多孔質Si層101を除去する。



【特許請求の範囲】

【請求項 1】 シリコン基板を多孔質化して得られる多孔質シリコン層上に非多孔質単結晶シリコン層をエピタキシャル成長させた第 1 の基板を用意する工程、前記第 1 の基板と、第 2 の基板とを少なくともいずれか一方の基板の貼り合わせ面に酸化シリコン層を有する状態で且つ、前記非多孔質単結晶シリコン層が貼り合わされた基板の内側に位置するように貼り合わせる工程、及び前記多孔質シリコン層をエッチング除去する工程を有する半導体基板の製造方法において、前記非多孔質単結晶シリコン層及び前記酸化シリコン層に対するエッチング速度が共に 10 オングストローム/分以下となるエッチング液を用いて前記多孔質シリコン層を除去することを特徴とする半導体基板の製造方法。

【請求項 2】 前記多孔質化は、陽極化成により行なわれる請求項 1 に記載の半導体基板の製造方法。

【請求項 3】 前記酸化シリコン層は、前記第 1 の基板側に形成される請求項 1 に記載の半導体基板の製造方法。

【請求項 4】 前記酸化シリコン層は、前記エピタキシャル成長させた非多孔質単結晶シリコン層の表面を熱酸化したものである請求項 3 に記載の半導体基板の製造方法。

【請求項 5】 前記第 2 の基板は、単結晶シリコン基板である請求項 3 若しくは請求項 4 に記載の半導体基板の製造方法。

【請求項 6】 前記第 2 の基板の貼り合わせ面には、酸化層が形成されている請求項 5 に記載の半導体基板の製造方法。

【請求項 7】 前記第 2 の基板の貼り合わせ面は、単結晶シリコンからなる請求項 5 に記載の半導体基板の製造方法。

【請求項 8】 前記第 2 の基板はガラスからなる請求項 3 若しくは請求項 4 に記載の半導体基板の製造方法。

【請求項 9】 前記酸化シリコン層は前記第 2 の基板側に形成される請求項 1 に記載の半導体基板の製造方法。

【請求項 10】 前記酸化シリコン層は、単結晶シリコン基板を熱酸化して形成される請求項 9 に記載の半導体基板の製造方法。

【請求項 11】 前記酸化シリコン層は、ガラス基板を構成する請求項 9 に記載の半導体基板の製造方法。

【請求項 12】 前記第 1 の基板の貼り合わせ面には、前記エピタキシャル成長させた非多孔質単結晶シリコン層が存在する請求項 9 ~ 請求項 11 のいずれかの請求項に記載の半導体基板の製造方法。

【請求項 13】 前記非多孔質単結晶シリコン層は、前記多孔質層の孔の内壁を酸化した後にエピタキシャル成長させたものである請求項 1 に記載の半導体基板の製造方法。

【請求項 14】 前記非多孔質単結晶シリコン層は、前

記多孔質層を水素雰囲気下で熱処理した後にエピタキシャル成長させたものである請求項 13 に記載の半導体基板の製造方法。

【請求項 15】 前記多孔質シリコン層のエッチングは、フッ酸、過酸化水素水の混合エッチング液により行なう請求項 1 に記載の半導体基板の製造方法。

【請求項 16】 前記多孔質シリコン層のエッチングは、フッ酸、硝酸、またはこれに酢酸を加えた混合エッチング液により行なう請求項 1 に記載の半導体基板の製造方法。

【請求項 17】 前記多孔質シリコン層のエッチングは、アルカリ、または有機アルカリ系のエッチング液により行なう請求項 1 に記載の半導体基板の製造方法。

【請求項 18】 前記多孔質シリコン層のエッチングは、液濃度が約 50 ppm 以下の TMAH 水溶液により行なう請求項 1 に記載の半導体基板の製造方法。

【請求項 19】 前記多孔質シリコン層のエッチングは、フッ酸と過酸化水素水の混合溶液を用い、過酸化水素水に対するフッ酸濃度を約 0.5% 以下の溶液として行なう請求項 1 に記載の半導体基板の製造方法。

【請求項 20】 前記エッチング除去の後、水素雰囲気下での熱処理を行なう請求項 1 に記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁体上に結晶性が単結晶ウエハー並に優れた単結晶層を有する SOI 基板を得るうえで、特に均一性、制御性に優れた作製方法に関するものである。

【0002】

【従来の技術】絶縁物上の単結晶シリコン半導体層の形成は、Silicon on Insulator (SOI) 技術として広く知られ、通常のシリコン集積回路を作製するバルクシリコン基板では到達しえない数々の優位点をこの基板が有することから、多くの研究が成されてきた。

【0003】最近報告された SOI 形成法の中で、特に質的に優れているものとして通称「貼り合わせ SOI」がある。これは、少なくとも一方が酸化等により絶縁膜が形成されている 2 枚のウエハーの鏡面同士を密着させ、熱処理を施して密着界面の結合を強力なものとした後、どちらか一方側から基板を研磨、或いはエッチングすることによって絶縁膜上に任意の厚みを持ったシリコン単結晶薄膜を残すという技術である。この技術において最も重要なのはシリコン基板を薄膜化する工程である。即ち通常数百 μm もの厚さのシリコン基板を均一に数 μm 、もしくは 1 μm 以下の厚さまで研磨、或いはエッチングしなければならない、その制御性や均一性の面で技術的に極めて困難である。

【0004】ここでシリコンの薄膜化の方法には大別し

10

20

30

40

50

て2通りある。1つは研磨のみで行なう方法(BPSOI: Bonding and Polishing SOI)であり、もう1つは残すべきシリコン薄膜の直上(単体の基板作製時では直下)にエッチングストップ層を設け、基板エッチングとエッチングストップ層のエッチングの2段階で行なう方法(BESOI: Bond and Etchback SOI)である。

【0005】残すべきシリコン膜厚の均一性に着目すると、BPSOIは前述したように非常に制御が困難である。つまり研磨の場合は研磨機の試料を置く面が基準面となるために、支持基板となるウェハー自体に少しでも厚みの分布があれば、それがそのまま活性層の厚み分布に影響してしまうからである。通常薄膜SOI基板の活性層は数十オングストロームの分布の制御が必要となるため、基板そのものにこれだけの制御性を求めるのは実質上不可能であり、従ってBPSOIの膜厚制御性は困難と言わざるを得ない。一方BESOIではシリコン活性層は予め形成してあるエッチングストップ層の上にエピタキシャル成長する場合が多いので、膜厚の均一性を確保するにはこのBESOIが現在のところ有利とされている。しかしながらエッチングストップ層は不純物を高濃度に含んでいる場合が多く、その濃度差によってエッチングの選択性を得ている場合が殆どである。つまりこのことは貼り合わせ後のアニール等の熱処理時に不純物が拡散すると、エッチング特性を変化させてしまう可能性も含んでいる。また一般的に不純物の濃度差によるエッチング速度比、即ちエッチング選択比は高々数十から数百であり、どうしても活性層のオーバーエッチング、もしくは分布の発生を避けられない。

【0006】BESOIのように活性層の膜厚が均一で、従来のBESOIよりもエッチバックの選択性が数桁も良いという例では本出願人が提案したものがある。この方法は、シリコン基板の表面を陽極化成により多孔質化し、この上にシリコン活性層をエピタキシャル成長させた後、貼り合わせを行なうことで該シリコン層を他方の基板に移しかえ、SOI基板を作製するというものである(特開平5-21338号公報)。この方法は、多孔質シリコンが非多孔質単結晶シリコンに比べてエッチング液に対するエッチングレートが非常に大きいことを利用するものであり、良質なSOI基板を低コストで作製し得る優れた方法である。本発明者らは、上記方法に適用し得るエッチャントについても提案を行なっている(特開平6-342784号公報他)。

【0007】本発明者らの研究によれば、多孔質シリコンの高選択エッチング特性は、例えばフッ酸と過酸化水素水の混合液などのフッ酸系エッチャントにより得られる。

【0008】

【発明が解決しようとする課題】しかしながら、フッ酸系のエッチング液は、活性層に含まれる結晶欠陥をも選

択的にエッチングしてしまうことが最近になって報告された(Proceedings 1944 IEEE International SOI Conference, p111)。本発明者らの検討の結果この作用によると条件によっては活性層の微小孔(ピンホール)の形成や、更にこのピンホールを通して下地酸化膜の侵食等貼り合わせ基板の貼り合わせ界面におけるボイド(void)形成の要因となる場合があることがわかった。

【0009】本発明の目的は、上記多孔質層を選択的にエッチングする技術を用いたSOI基板形成法において、多孔質層のエッチングの際に、結晶欠陥のエッチングに起因するボイドの発生を極めて低く抑制することにある。

【0010】本発明の別の目的は、貼り合わせ界面におけるボイド及び非多孔質単結晶シリコン層中の欠陥の数を極めて低い値に制御し得る半導体基板の製造方法を提供することにある。

【0011】

【課題を解決するための手段】上述した目的を達成する本発明の半導体基板の製造方法は、下述する構成のものである。即ち、本発明の半導体基板の製造方法は、シリコン基板を多孔質化して得られる多孔質シリコン層上に非多孔質単結晶シリコン層をエピタキシャル成長させた第1の基板を用意する工程、前記第1の基板と、第2の基板とを少なくともいずれか一方の基板の貼り合わせ面に酸化シリコン層を有する状態で且つ、前記非多孔質単結晶シリコン層が貼り合わされた基板の内側に位置するように貼り合わせる工程、及び前記多孔質シリコン層をエッチング除去する工程を有する半導体基板の製造方法において、前記非多孔質単結晶シリコン層及び前記酸化シリコン層に対するエッチング速度が共に10オングストローム/分以下となるエッチング液を用いて前記多孔質シリコン層を除去することを特徴とするものである。

【0012】上記構成の本発明によれば、上述した解決すべき課題が解決され、極めて良質なSOI基板を製造し得る。

【0013】

【発明の実施の形態】本発明の半導体基板の製造方法は、前述したとおりの構成のものである。

【0014】本発明は、1例として非多孔質単結晶シリコン基板の表層を部分的に多孔質化して得られる多孔質単結晶シリコン層上に非多孔質単結晶シリコン層をエピタキシャル成長させたものを第1の基板として用い、該第1の基板と、第2の基板を貼り合わせた後、第1の基板の多孔質化せずに非多孔質単結晶シリコンとして残っている領域の一部もしくは全部を研削や研磨等の機械的な除去方法により除去する態様をも包含する。

【0015】本発明において、非多孔質単結晶シリコン基板の多孔質化は、陽極化成(anodization)により形成される。こうして得られた多孔質シリコ

ン層は、平均約600Å程度の径の孔が多数形成され、且つ単結晶性を維持した層となる。

【0016】多孔質単結晶シリコン層の選択エッチングメカニズムは次の通りである。まずエッチング液が毛細管現象によって孔内に浸透し、それと同時に多孔質の壁面のエッチングが開始される。このとき単結晶シリコンに対するエッチング速度が十分に遅いと、多孔質層の内壁が完全にエッチングされる前に、毛細管現象によってエッチング液が活性層（多孔質層上にエピタキシャル成長させた非多孔質単結晶シリコン層）と多孔質層の界面にまで到達する。そして内壁の厚みが零になったときに、多孔質層全体が崩壊するように消滅するのである。このとき活性層も多少エッチングされることになるが、実際には多孔質の内壁の厚さの1/2程度がエッチングされたことにしかならない。即ち数十オングストロームである。従って厚い多孔質層を全てエッチングしても、活性層は殆どエッチングされずに残るのである。

【0017】一方、エッチング液の単結晶シリコンに対するエッチング速度が速い場合は、毛細管現象によって液が孔内に染み込むより速く多孔質層表面からのエッチングが優勢となり、多孔質の内壁が崩壊する前に多孔質層が表層から等速度でエッチングされることになる。そしてそのままの速度で活性層も連続してエッチングされ、良好な選択性は現れない。

【0018】つまり、良好な選択エッチングが成立するのは、ある時間 t での多孔質表面からのエッチング量（厚み）を y_s 、同時間における多孔質内への液の染み込み距離を y_l としたとき、 $y_s < y_l$ での条件を満たしたときである。更に言えば y_s はエッチング速度 a に、 y_l は液体の多孔質内への浸透速度 k にそれぞれ依存する。 y_s の値は多孔質の孔径等で決定されるが、通常多孔質上に良質な単結晶薄膜をエピタキシャル成長させるためには、ある限定された条件（孔度など）の多孔質だけが用いられる。従って k 値はほぼ一定となり、 a の値によってエッチングの選択性が決定されるのである。

【0019】そして、その値は約10オングストローム/分以下であり、好ましくは2オングストローム/分前後であることが実験により求められた。また1オングストローム/分より小さな値では、選択性は出るものの総エッチング時間が膨大なものになってしまうために不適当である。また、10オングストローム/分よりも大きいと、エッチングの選択性が劣化し、残すべき単結晶薄膜のエッチング量が大きくなることにより、膜厚分布が大きくなるため、不適当である。

【0020】従来、多孔質の選択エッチングはフッ酸系の溶液で、単結晶シリコンに対するエッチング速度が十分に遅いように調整されたものが用いられてきた。例えばフッ酸（49%）と過酸化水素水（30%）の1:5混合液などが代表的な例である。

【0021】しかしこれは選択エッチングが成立することだけを満足するための条件である。つまり従来の選択エッチング液は、活性層に含まれる各種欠陥に対するエッチング速度や下地酸化膜に対するエッチング速度に対しては考慮されていないのである。

【0022】そこで本発明者らは、従来のように単結晶シリコンに対するエッチング速度が十分小さく、尚且つ下地 SiO_2 に対するエッチング速度も共に小さいエッチング液を用いて、多孔質シリコンを選択エッチングすることとした。

【0023】この例として有機アルカリであるTMAH（テトラメチルアンモニウムハイドロオキシド）が挙げられる。TMAH水溶液は常温において、図9のようなシリコンエッチング速度の溶液濃度依存性を示す。また SiO_2 に対するエッチング速度は、溶液濃度によらずいずれも検出限界以下であった。

【0024】従って、多孔質の選択エッチングにTMAH水溶液を用いる場合、エッチング速度を10オングストローム/分以下とするためには、液濃度が約50ppm以下のものを使用すればよいことになる。

【0025】別の例としてフッ酸と過酸化水素水の混合溶液の例を図8に示す。この溶液はTMAHとは逆に、シリコンに対するエッチング速度は広い濃度範囲でほぼ2~3オングストローム/分と一定であり、 SiO_2 に対するエッチング速度に濃度依存性が現れる。

【0026】従って、この溶液を用いて多孔質シリコンと SiO_2 の両方のエッチング速度を10オングストローム以下にするためには、過酸化水素水に対するフッ酸濃度を約0.5%以下にしなければならない。尚上記過酸化水素水の80%を水に置き換えてもほぼ同じエッチング特性を示すこともわかっている。

【0027】また、アルカリ系の例としては、KOH水溶液、NaOH水溶液、アンモニア水（ NH_4OH ）等が挙げられる。これらはTMAH同様 SiO_2 に対するエッチング速度は溶液濃度によらずほぼ一定で極めて小さい。

【0028】またフッ酸系の例としては、フッ酸・硝酸・（水）混合溶液、フッ酸・硝酸・酢酸・（水）混合溶液等が挙げられ、これらはある一定領域でフッ酸・過酸化水素水溶液同様の濃度/エッチング特性を示す。

【0029】本発明は、上述のように多孔質層のエッチングをどのようなエッチャントを用いて行なうかに特徴があるが、良質なSOI基板を得るに際しては、いくつかの実施形態がある。

【0030】以下、図面を参照しながら、本発明の方法について説明する。

【0031】（態様1）まず図1及び図8を用いて説明する。

【0032】単結晶シリコン基板100を陽極化成して多孔質シリコン101を形成する（図1A）。このとき

多孔質化する厚みは、基板の片側表面層数 μm ～数十 μm でよい。またシリコン基板100全体を陽極化成してもかまわない。

【0033】多孔質シリコンの形成方法については、図8を用いて説明する。まず基板としてP型の単結晶シリコン基板600を用意する。N型でも不可能ではないが、その場合は低抵抗の基板に限定されるか、または光を基板表面に照射してホール生成を促進した状態で行なわなければならない。基板600を図8(A)に示すような装置にセッティングする。即ち基板の片側がフッ酸系の溶液604に接していて、溶液側に負の電極606がとられており、逆側は正の金属電極605に接している。これと別に図8(B)に示すように、正電極側605'も溶液604'を介して電位をとってもかまわない。いずれにせよフッ酸系溶液に接している負の電極側から多孔質化が起こる。フッ酸系溶液604としては、一般的には濃フッ酸(49%HF)を用いる。純水(H_2O)で希釈していくと、流す電流値にもよるが、ある濃度からエッチングが起ってしまうので好ましくない。また陽極化成中に基板600の表面から気泡が発生してしまい、この気泡を効率よく取り除く目的から、界面活性剤としてアルコールを加えることもできる。アルコールとしてメタノール、エタノール、プロパノール、イソプロパノール等が用いられる。また界面活性剤の代わりに攪はん器を用いて、溶液を攪はんしながら陽極化成を行ってもよい。負電極606に関しては、フッ酸溶液に対して侵食されないような材料、例えば金(Au)、白金(Pt)等が用いられる。正側の電極605の材質は一般に用いられる金属材料でかまわないが、陽極化成が基板600すべてになされた時点で、フッ酸系溶液604が正電極605に達するので、正電極605の表面にも耐フッ酸溶液性の金属膜をコーティングしておくといよい。陽極化成を行う電流値は最大数百 mA/cm^2 であり、最小値は零でなければよい。この値は多孔質化したシリコンの表面に良質のエピタキシャル成長ができる範囲内で決定される。通常電流値が大きいと陽極化成の速度が増すと同時に、多孔質シリコン層の密度が小さくなる。即ち孔の占める体積が大きくなる。これによってエピタキシャル成長の条件が変わってくるのである。

【0034】以上のようにして形成した多孔質層101上に、非多孔質の単結晶シリコン層102をエピタキシャル成長させる(図1B)。エピタキシャル成長は一般的な熱CVD、減圧CVD、プラズマCVD、分子線エピタキシー、スパッタ法等で行なわれる。成長する膜厚はSOI層の設計値と同じくすれば良い。

【0035】エピタキシャル層102の表面を酸化して SiO_2 層103(熱酸化を含む)を形成する(図1C)。これはエピタキシャル層を次の工程で直接支持基板と貼り合わせた場合、貼り合わせ界面には不純物が偏

析しやすく、また界面の原子の非結合手(ダングリングボンド)が多くなり、薄膜デバイスの特性を不安定化させる要因になるからである。但し必ずしもこの工程は必須ではなく、上記現象が問題とならないようなデバイス構成を考えるならば省略してもかまわない。ここで、 SiO_2 層103は、SOI基板の絶縁層としての機能を果たすが、絶縁層は、貼り合わせる基板表面の少なくとも1面に形成される必要があり、絶縁層の形成に際しては種々の態様がある。

10 【0036】尚、酸化する場合酸化膜厚は、貼り合わせ界面に取り込まれる大気中からのコンタミネーションの影響を受けない程度の厚みがあれば良い。

【0037】上記表面が酸化されたエピタキシャル面を有する基板100と、支持基板となる SiO_2 層104を表面に有する基板110を用意する。支持基板110はシリコン基板表面を酸化(熱酸化を含む)したもの、石英ガラス、結晶化ガラス、任意基板上に SiO_2 を堆積したものなどが挙げられる。

20 【0038】上記用意した2枚の基板を洗浄した後に貼り合わせる(図1D)。洗浄方法は通常の半導体基板を(例えば酸化前に)洗浄する工程に準じて行なう。

【0039】貼り合わせた後に基板を全面で加圧すると、接合の強度を高める効果がある。

30 【0040】そして次に貼り合った基板を熱処理する。熱処理温度は高い方が好ましいが、あまり高すぎると多孔質層101が構造変化をおこしてしまったり、基板に含まれていた不純物がエピタキシャル層に拡散することがあるので、これらをおこさない温度と時間を選択する必要がある。具体的には600～1100℃程度が好ましい。また基板によっては高温で熱処理できないものがある。例えば支持基板110が石英ガラスである場合には、シリコンと石英の熱膨張係数の違いから、200℃程度以下の温度でしか熱処理できない。この温度を越えると貼り合わせた基板が応力で割れたり、または割れたりしてしまう。ただし熱処理は次の工程で行なうバルクシリコン100の研削やエッチングの際の応力に耐えられれば良い。従って200℃以下の温度であっても活性化の表面処理条件を最適化することで、プロセスは行なえる。

40 【0041】次にエピタキシャル成長層102を残してシリコン基板部分100と多孔質部分101を選択的に除去する(図1E)。まずシリコン基板部分100は表面グラインダー等による研削や研磨、或いは水酸化カリウム、アンモニア水等のアルカリ溶液、或いはTMAH等の有機アルカリ溶液を用いたエッチングにより除去する。エッチングの場合は100℃以下の温溶液中で行なうのが効果的である。アルカリ系の溶液は SiO_2 を殆どエッチングしないので、支持基板がガラスかもしくは酸化膜で覆われたシリコン基板であれば、シリコン基板部分のみを選択的にエッチングできる。また、フッ酸と

硝酸、もしくはこれに酢酸等を加えた酸混合液でエッチング除去することも可能である。但しフッ酸硝酸系エッチャントは支持基板をも多少エッチングするので、長時間の使用は避けた方がよい。

【0042】シリコン基板部分100を機械的研磨あるいはエッチングにより除去し、多孔質部分101が露出した時点でエッチングを一旦終了する。そして露出した多孔質部分101を、前述したような単結晶シリコン及びSiO₂に対するエッチング速度が共に10オングストローム/分以下になるような溶液を用いてエッチング除去する。エッチングの際に膜の均一性を出すために、超音波洗浄装置を用いるとよい。但し超音波によってエッチング速度が若干上昇するので注意が必要である。

【0043】更に、以上説明した工程に下述する工程を付加することもできる。

【0044】(1) 多孔質層の孔の内壁の酸化
多孔質シリコン層の隣接する孔の間の壁の厚みは、数nm～数十nmと非常に薄い。このためエピタキシャルシリコン層形成時、貼り合わせ後の熱処理時等、多孔質層に高温処理を施すと孔壁が凝集することにより、孔壁が粗大化して孔をふさぎ、エッチング速度が低下してしまう場合がある。そこで多孔質層の形成後、孔壁に薄い酸化膜を形成して、孔の粗大化を抑制することができる。しかし、多孔質層上には非多孔質単結晶シリコン層をエピタキシャル成長させる必要があることから、多孔質層の孔壁の内部には、単結晶性が残るように孔の内壁の表面だけを酸化する必要がある。ここで形成される酸化膜は、数Å～数十Åの膜厚とするのが望ましい。このような膜厚の酸化膜は、酸素雰囲気中で200℃～700℃の温度、より好ましくは250℃～500℃の温度での熱処理により形成される。

【0045】(2) 水素アニール処理

本発明者らは、先にEP553852A2公報において、水素雰囲気下の熱処理により、シリコン表面の微少な荒れ(roughness)を除去し、非常になめらかなシリコン表面が得られることを示した。本発明においても、水素雰囲気下でのアニールを適用することができる。水素アニールは、例えば、多孔質シリコン層形成後、エピタキシャルシリコン層形成前に行なうことができ、これと別に多孔質シリコン層のエッチング除去後に得られるSOI基板に行なうことができる。エピタキシャルシリコン層形成前に行なう水素アニール処理によれば、多孔質シリコン表面を構成する水素原子のマイグレーション(migration)により、孔の最表面が閉塞されるという現象が生ずる。孔の最表面が閉塞された状態でエピタキシャルシリコン層の形成が行なわれると、より結晶欠陥の少ないエピタキシャルシリコン層が得られる。一方、多孔質シリコン層のエッチング後に行なう水素アニールによれば、エッチングにより多少荒れたエピタキシャルシリコン表面をなめらかにする作

用と、ボンディングの際に貼り合わせ界面に不可避免的にとり込まれるクリーンルーム中のボロンをとばすという作用がある。

【0046】(態様2) 図2に示した態様について説明する。なお、図2中の1100～1110は図1の100～110に対応している。態様1においては、貼り合わされる2枚の基板の表面は、SiO₂層103とSiO₂層104であったが、必ずしも両面がSiO₂層である必要はなく、少なくとも1つの面がSiO₂で構成されていれば良い。ここで示す態様は、多孔質シリコン層上に形成されたエピタキシャルシリコン層1102(B1)表面を、シリコン基板1110上に形成された酸化膜1104表面と貼り合わせる(C1)ものと、エピタキシャルシリコン層1102(B2)の表面を熱酸化して形成した酸化膜1103表面を酸化処理していないシリコン基板1110の表面と貼り合わせる(C2)ものである。ここで示す態様においても、他の工程は、態様1と同様に行なうことができる。

【0047】(態様3) 図3に示した態様について説明する。図3に付した番号のうち図2と同じ番号のものは、図2と同様の部位を表わす。ここで示す態様においては、エピタキシャルシリコン膜が形成された基板(B1, B2)と貼り合わせる基板に、石英ガラス、青板ガラス等のガラス材料1210(C1, C2)を用いることが特徴的である。この態様としては、エピタキシャルシリコン層1102(B1)をガラス基板1210と貼り合わせる(C1)態様と、エピタキシャルシリコン層1102の表面を熱酸化して形成された酸化膜1103(B2)とガラス基板1210と貼り合わせる(C2)態様が表示されている。ここで示す態様においても他の工程は、態様1と同様に行なうことができる。

【0048】以下、具体的な実施例を挙げて本発明を詳細に説明する。

【0049】(実施例1) 625ミクロンの厚みを持った5インチP型(100)単結晶シリコン基板(0.1～0.2Ωcm)を用意し、これを図8(A)に示す装置にセットして陽極化成を行なった。これによりシリコン基板100の表面に20μmの多孔質シリコン層101を形成した(図1(A))。この時の溶液604には49%HF溶液を用い、電流密度は1mA/cm²であった。そしてこの時の多孔質化速度は約1μm/分であり、20μmの厚みの多孔質層は約20分で得られた。

【0050】こうして得られた多孔質シリコン層101上にCVD法により、単結晶シリコン層102を0.25μmの厚みにエピタキシャル成長させた(図1(B))。堆積条件は以下のとおりである。

【0051】使用ガス: SiH₄/H₂
ガス流量: 0.62/140(l/min)
温度: 850℃
圧力: 80Torr

成長速度: $0.12 \mu\text{m}/\text{分}$

上記方法にて作成した基板を水蒸気雰囲気中 900°C の条件で処理し、 $0.1 \mu\text{m}$ の酸化膜 103 を得た (図 1 (C))。

【0052】次いで上記表面を酸化した基板と、これとは別に用意しておいた表面に $0.5 \mu\text{m}$ の酸化膜 104 を有する 5 インチ基板 110 を酸・アンモニアを用いた系で洗浄し、スピン乾燥した後に処理面同士を貼り合わせた (図 1 (D))。その後 800°C 、6 時間の熱処理を行なった。

【0053】熱処理後にシリコン基板 100 側を表面研削装置で $610 \mu\text{m}$ 研削し、多孔質シリコン 101 を露出させた。

【0054】この基板を引き続き選択エッチング溶液中に浸し、超音波をかけながら多孔質部分 101 のみを選択的に全てエッチングした (図 1 (E))。このとき選択エッチング溶液の組成と単結晶シリコンに対するエッチング速度、 SiO_2 に対するエッチング速度は次のとおりとした。

【0055】

選択エッチング液 = TMAH 水溶液 (24 ppm)

対シリコンエッチング速度 = $5 \text{ オングストローム}/\text{分}$

対 SiO_2 エッチング速度 = $1 \text{ オングストローム}/\text{分}$ 以下

この結果、 $0.6 \mu\text{m}$ のシリコン酸化膜上に約 $0.2 \mu\text{m}$ の単結晶シリコン膜を備えた SOI 基板が出来上がり、SOI 膜のボイドの密度は、従来の SiO_2 のエッチング速度の大きなエッチング液で多孔質層をエッチングしたものに比べて約 $1/100$ に減少した。

【0056】(実施例 2) 図 4 を用いて説明する。

【0057】 $300 \mu\text{m}$ の厚みを持った抵抗率 $0.01 \Omega \cdot \text{cm}$ の 4 インチ P 型 (100) シリコン基板 200 を用意し、その表層を実施例 1 と同様にして $20 \mu\text{m}$ だけ多孔質シリコン層 201 とした (図 4 (A))。

【0058】得られた多孔質面上に実施例 1 と同様にしてエピタキシャル層 202 を $0.15 \mu\text{m}$ の厚みに形成した (図 4 (B))。

【0059】上記方法にて作成した基板を 1000°C の水蒸気中で $0.1 \mu\text{m}$ 酸化した (図 4 (C))。

【0060】上記表面を酸化した基板 200 と、これとは別に用意しておいた 4 インチの石英基板 210 を、洗浄した後に互いの鏡面を貼り合わせた (図 4 (D))。続いて 180°C 、24 時間の熱処理を行なった。

【0061】次に、 $280 \mu\text{m}$ あるシリコン基板部分 200 をフッ酸/硝酸/酢酸の $1:10:10$ 混合溶液でエッチングし、表面に多孔質シリコン層 201 を露出させた。

【0062】次いで、多孔質層 201 を、フッ酸/過酸化水素水の $1:300$ の混合液で選択的にエッチングした (図 4 (E))。選択エッチングに用いた溶液の単結

晶シリコン及び SiO_2 に対するエッチング速度は次のとおりである。

【0063】対シリコン = $3 \text{ オングストローム}/\text{分}$

対 SiO_2 = $6 \text{ オングストローム}/\text{分}$

この結果、石英基板上に $0.1 \mu\text{m}$ のシリコン単結晶薄膜を備えた SOI 基板が出来上がり、SOI のボイド密度は従来の SiO_2 に対するエッチング速度の大きな溶液を用いた場合に比べ、約 $1/100$ に減少した。

【0064】(実施例 3) 図 5 を用いて説明する。

10 【0065】 $400 \mu\text{m}$ の厚みを持った抵抗率 $0.01 \Omega \cdot \text{cm}$ の 5 インチ P 型 (100) シリコン基板 300 を用意し、その表面から $20 \mu\text{m}$ の厚みだけ多孔質層 301 を形成した (図 5 (A))。

【0066】得られた基板の多孔質表面に実施例 1 と同様にしてエピタキシャル層 302 を $0.5 \mu\text{m}$ の厚みに形成した (図 5 (B))。

20 【0067】上記基板のエピタキシャル層 302 表面を 1000°C の水蒸気中で $0.2 \mu\text{m}$ 酸化して SiO_2 層 303 を得た (図 5 (C))。この結果エピタキシャル層のシリコン単結晶部分が $0.4 \mu\text{m}$ 、酸化膜部分が $0.2 \mu\text{m}$ の膜厚に各々なった。

【0068】上記方法にて作成した基板 300 と、これとは別に用意しておいた合成石英基板 310 の貼り合わせ面を活性化するために、両基板表面に RF プラズマ処理を施した (図 5 (D))。処理条件は次のとおりである。

【0069】使用ガス: CF_4/O_2

ガス流量: $70/6 \text{ (sccm)}$

圧力: 30 (pa.)

30 RF 出力: 350 W

処理時間: 30 秒

上記処理基板を 10% の過酸化水素水で洗浄し、更に純水でリンスした後に乾燥させ、互いの基板を貼り合わせた (図 5 (E))。次いで貼り合わせた基板に 70 トン の圧力をかけて 10 分間 置いた。

【0070】上記基板を熱処理することなしに、そのままシリコン基板側を溶液にてエッチングした。まずシリコン基板を覆っている熱酸化膜を希フッ酸で除去した後、TMAH の 2.4% 水溶液に浸し、 90°C で約 5 時間処理した。これによりシリコン基板側のバルクシリコン部分 300 は全てエッチングされ、多孔質層 301 が露出した。

【0071】引き続いて、多孔質部分 301 を室温の TMAH 24 ppm 水溶液で選択的にエッチングした (図 5 (F))。

【0072】上記工程により得られた石英基板 310 上の単結晶シリコン薄膜 302 を、設計された素子の活性層にあたる部分を、面積、形状、配置に合わせて島状にパターニングした (図 5 (G))。パターニング後に素子形成の第 1 工程として、各々の島状領域を 1000°C

の酸素雰囲気中で $0.05\mu\text{m}$ 酸化した。従ってこの酸化工程を熱処理と兼ねることとし、結果、透明基板上に厚さ約 $0.4\mu\text{m}$ の単結晶シリコン薄膜を備えたSOI基板を得た。ボイドは観察されなかった。

【0073】(実施例4)図6を用いて説明する。

【0074】 $400\mu\text{m}$ の厚みを持った抵抗率 $0.01\Omega\cdot\text{cm}$ の5インチP型(100)シリコン基板400を用意し、その表面から $20\mu\text{m}$ の厚みだけ多孔質層401を形成した(図6(A))。

【0075】得られた基板の多孔質表面に実施例1と同様にエピタキシャル層402を $0.5\mu\text{m}$ の厚みに形成した(図6(B))。

【0076】上記基板のエピタキシャル層402表面を 900°C の水蒸気中で $0.05\mu\text{m}$ 酸化(熱酸化)して SiO_2 層403を得た(図6(C))。

【0077】上記方法にて作成した基板400と、これとは別に用意しておいた5インチの合成石英基板410を洗浄した後に貼り合わせた(図6(D))。更に同基板を 180°C 、24時間の熱処理を行なった。

【0078】上記基板のシリコン基板側から、表面研削装置を用いてシリコン基板を $100\mu\text{m}$ 残すところまで研削した(図6(E))。次いでこれに 300°C 、24時間の熱処理を行なった。

【0079】残っていたバルクの部分400を引き続き表面研削装置で研削し、多孔質シリコン部分401を露出させた。

【0080】引き続き、 0.04% アンモニア水で多孔質層を選択エッチングした(図6(F))。選択エッチングに用いた溶液の単結晶シリコン及び SiO_2 に対するエッチング速度は次の通りとした。

【0081】対シリコン=4オングストローム/分
対 SiO_2 =1オングストローム/分以下

この結果、石英基板上に約 $0.4\mu\text{m}$ 厚の単結晶シリコン薄膜402を備えたSOI基板が出来上がり、SOIのボイド密度は従来の SiO_2 に対するエッチング速度の大きな溶液を用いた場合に対して、約 $1/100$ に減少した。

【0082】(実施例5)図7を用いて説明する。

【0083】 $300\mu\text{m}$ の厚みを持った抵抗率 $0.01\Omega\cdot\text{cm}$ の4インチP型(100)シリコン基板500を用意し、その表層を実施例1と同様に $20\mu\text{m}$ だけ多孔質シリコン501とした(図7(A))。

【0084】得られた多孔質面上に実施例1と同様にエピタキシャル層502を $0.15\mu\text{m}$ の厚みに形成した(図7(B))。

【0085】上記基板のエピタキシャル層502表面を 1000°C の水蒸気中で $0.1\mu\text{m}$ の厚みに熱酸化して SiO_2 層503を得た(図7(C))。この結果エピタキシャル層のシリコン単結晶部分が $0.1\mu\text{m}$ 、酸化膜部分が $0.1\mu\text{m}$ の膜厚に各々なった。

【0086】上記基板のエピタキシャル面と、これとは別に用意しておいたペアーのシリコン基板510を、酸・アルカリ洗浄を行なった後に貼り合わせた(図7(D))。更に同基板を 1000°C 、30分間アニールした。

【0087】上記のエピタキシャル成長した側の基板500を表面研削機により研削し、多孔質シリコン部分501を露出させた。

【0088】引き続き、フッ酸(49%)／硝酸(70%)／酢酸(100%)／水が各々1:80:80/340で混合した溶液を用いて、多孔質層を選択エッチングした(図7(E))。選択エッチングに用いた溶液の単結晶シリコン及び SiO_2 に対するエッチング速度は次の通りである。

【0089】対シリコン=4オングストローム/分
対 SiO_2 =3オングストローム/分

この結果、 $0.1\mu\text{m}$ のシリコン酸化膜上に $0.1\mu\text{m}$ の単結晶シリコン膜を備えたSOI基板が出来上がり、SOI膜のボイドの密度は、従来の SiO_2 に対するエッチング速度の大きな溶液を用いた場合に比べて約 $1/100$ に減少した。

【0090】(実施例6)図7を用いて説明する。

【0091】 $300\mu\text{m}$ の厚みを持った抵抗率 $0.01\Omega\cdot\text{cm}$ の4インチP型(100)シリコン基板500を用意し、その表層を実施例1と同様に $20\mu\text{m}$ だけ多孔質シリコン501とした(図7(A))。

【0092】こうして得られた基板を酸素雰囲気中で 400°C の温度で1時間保持し、熱処理を行なった。この熱処理により多孔質シリコン層501の表面と孔壁に非常に薄い酸化膜が形成された。

【0093】次いで、多孔質層501の表面をHF溶液に侵すことで多孔質層501の孔壁に形成された酸化膜はそのまま、多孔質シリコン層501の最表面に形成された酸化膜を除去することで多孔質単結晶シリコン層を露出させた。続いて、基板に水素雰囲気下、 1100°C の温度で7分間の熱処理を行なって、多孔質シリコン層表面の孔の閉塞を進めた後、エピタキシャルシリコン層の原料ガスとしてジクロルシランを成膜チャンバー内に導入することによりエピタキシャルシリコン層502を $0.15\mu\text{m}$ の厚みに形成した(図7(B))。次いで該エピタキシャルシリコン層502の表面を熱酸化して熱酸化膜503を形成した(図7(C))。この後、熱酸化膜503の表面と、これとは別に用意しておいた酸化処理のなされていないシリコン基板510を、酸・アルカリ洗浄を行なった後に貼り合わせた(図7(D))。更に同基板を 1000°C 、30分間アニールした。

【0094】次いでエピタキシャル層を形成した側の基板500を1部を残して表面研削機により研削し、残した部分をエッチングにより除去して多孔質シリコン部分

501を露出させた。

【0095】引き続き、フッ酸（49％）／硝酸（70％）／酢酸（100％）／水が各々1：80：80：340で混合した溶液を用いて、多孔質層を選択エッチングした（図7（E））。選択エッチングに用いた溶液の単結晶シリコン及びSiO₂に対するエッチング速度は次の通りである。

【0096】対シリコン＝4オングストローム／分

対SiO₂＝3オングストローム／分

こうして得られたSOI基板に水素雰囲気下、1000℃の温度で熱処理を施した。

【0097】この結果、0.1μmのシリコン酸化膜上に0.1μmの単結晶シリコン膜を備えたSOI基板が出来上がり、SOI膜のボイドの密度は、従来のSiO₂に対するエッチング速度の大きな溶液を用いた場合に比べて約1／200に減少した。

【図面の簡単な説明】

【図1】本発明の工程の1例を示すための模式図である。

【図2】本発明の工程の1例を示すための模式図である。

【図3】本発明の工程の1例を示すための模式図である。

【図4】本発明の工程の1例を示すための模式図である。

【図5】本発明の工程の1例を示すための模式図であ

る。

【図6】本発明の工程の1例を示すための模式図である。

【図7】本発明の工程の1例を示すための模式図である。

【図8】シリコン基板を多孔質化する際の装置の模式図である。

【図9】TMAHの単結晶シリコン及びSiO₂に対するエッチング速度の溶液濃度依存性を示すグラフである。

【図10】フッ酸／過酸化水素水混合溶液の、単結晶シリコン及びSiO₂に対するエッチング速度のフッ酸濃度依存性を示すグラフである。

【符号の説明】

100 単結晶シリコン基板

101 多孔質シリコン

102 非多孔質単結晶シリコン層

103 SiO₂層

104 SiO₂層

110 支持基板

1102 エピタキシャルシリコン層

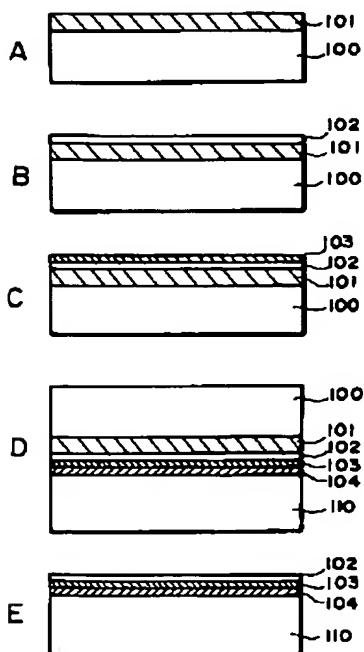
1110 シリコン基板

1104 酸化膜

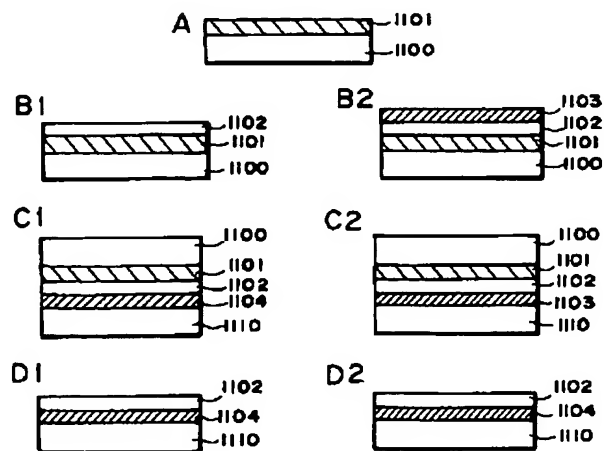
1103 酸化膜

1210 ガラス材料

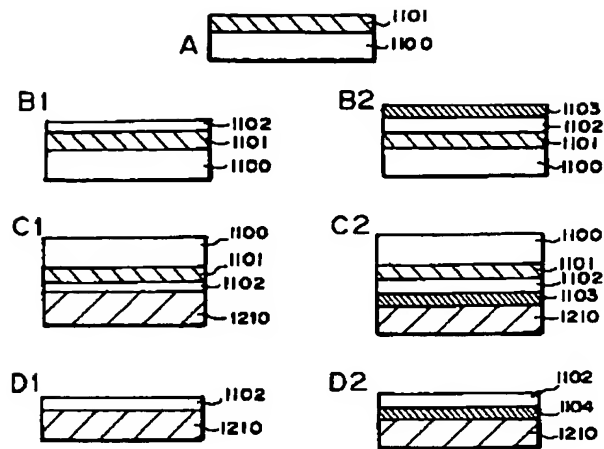
【図1】



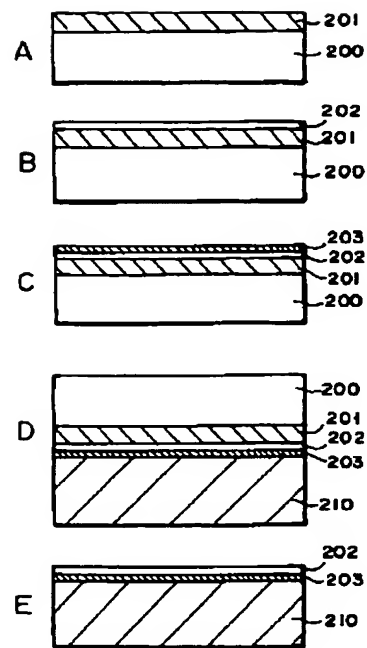
【図2】



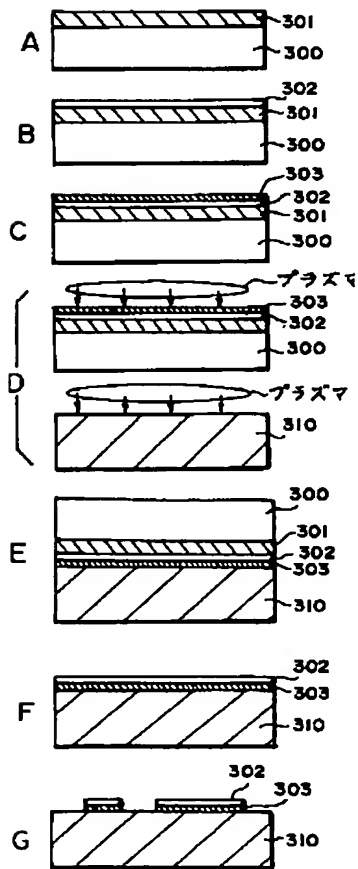
【図 3】



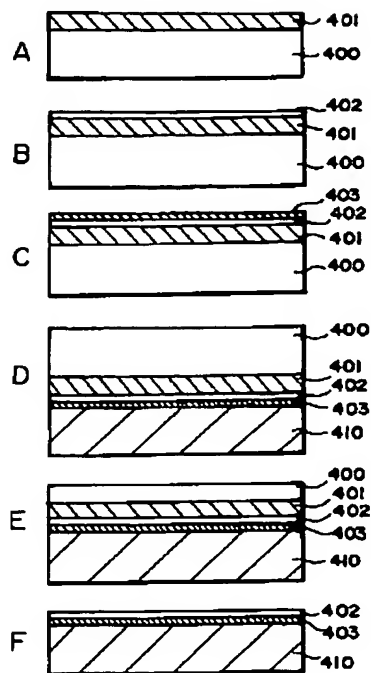
【図 4】



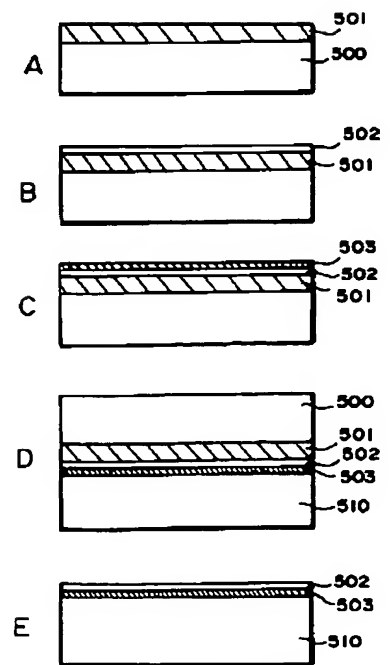
【図 5】



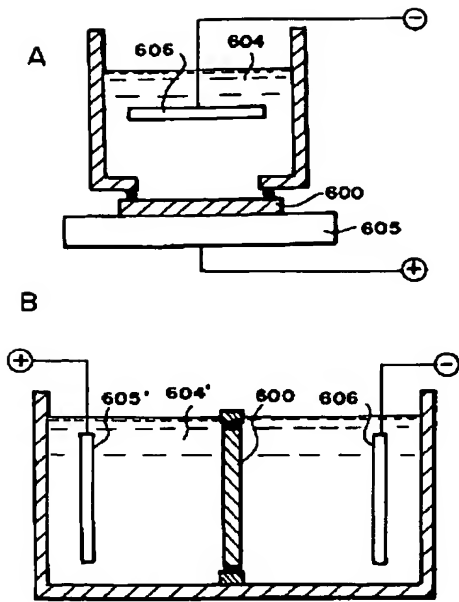
【図 6】



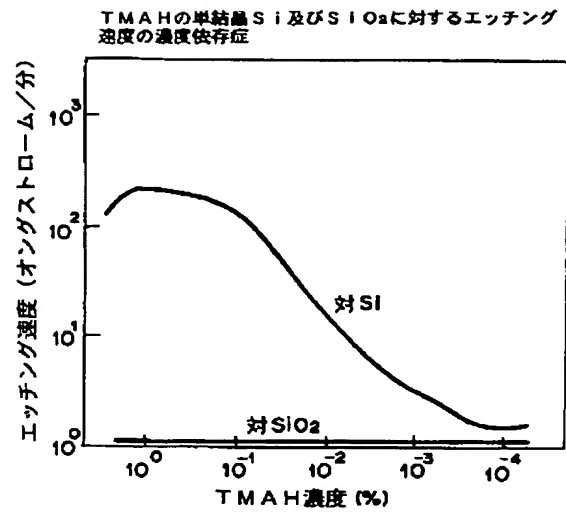
【図 7】



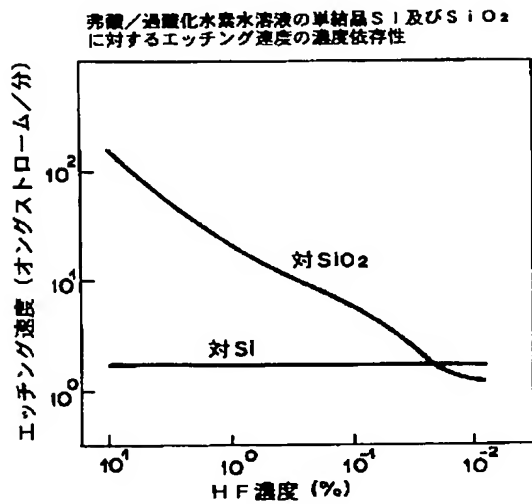
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 米原 隆夫
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内